

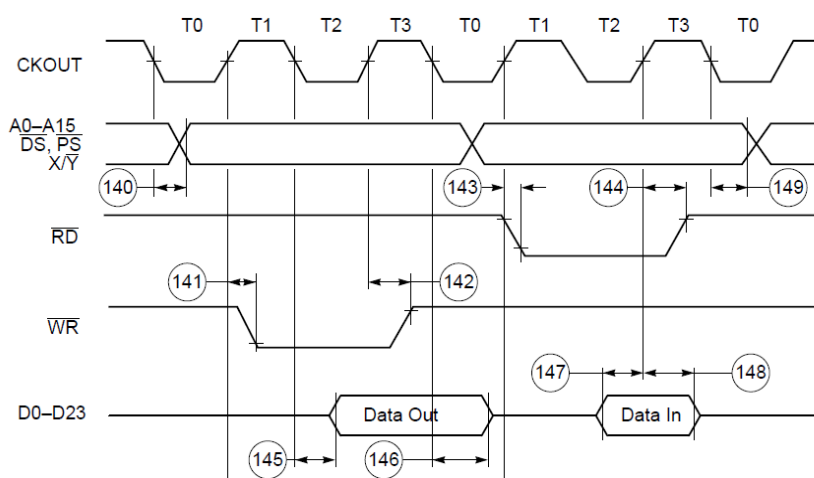
1. Trajanje kolokvijuma 120 minuta.
2. Odgovori se daju u vežbanci.
3. Na naslovnoj strani obavezno zaokružiti redne brojeve pitanja koji su rađeni.

1. a) [20] Nacrtati realizaciju memorijskog podsistema u računaru sa 16-bitnom sinhronom magistralom koja ima 20-bitnu adresnu magistralu i mogućnost upravljanja bajtovima. Veličina potrebne memorije je 128kB i nalazi se u najvišem delu memorijskog prostora. Na raspolaganju su dve memorijske komponente SRAM tipa veličine 64k x 8. U slučaju 8-bitnog pristupa za A0=0, podatak ide po nižem delu magistrale, a za A0=1 po višem delu magistrale.

1. b) [15] Generisati prekid ako CPU na magistrali pokuša da izvede 16-bitni pristup na neparnu memorijsku lokaciju. Nacrtati opštenamenski prekidni kontroler sa 8 ulaza koji može da prihvati ovako generisan prekid i prosledi udruženi prekid procesoru. Jedan od ulaza u prekidni kontroler je i informacija da je temperatura procesora iznad vrednosti normalnog radnog režima.

2. [15] Dati su vremenski dijagrami rada jedne sinhronne paralelne magistrale, kao i vremenski parametri. Za slučaj kada magistrala radi na 80MHz izračunati:

- a) maksimalno dozvoljeno kašnjenje dekodera adrese.
- b) maksimalno dozvoljena setup i hold vremena prihvatnog registra u koji se upisuje podatak usponskom ivicom signala upisa.
- c) maksimalno dozvoljeno vreme otvaranja trostatičkih bafera u ciklusu čitanja



Num	Characteristics	40 MHz		66 MHz		80 MHz		Unit
		Min	Max	Min	Max	Min	Max	
140	First CKOUT transition to Address Valid	—	6.2	—	5	—	5	ns
141	Second CKOUT transition to WR Assertion ¹	—	4.4	—	4	—	4	ns
		—	$T_H + 4.4$	—	$T_H + 4$	—	$T_H + 4$	
142	Second CKOUT transition to WR Deassertion	1.3	9.1	1	5	1	5	ns
143	Second CKOUT transition to RD Assertion	—	3.9	—	3.9	—	3.9	ns
144	Second CKOUT transition to RD Deassertion	0	3.4	-3	3	-3	3	ns
145	First CKOUT transition to Data-Out Valid	—	5.4	—	4.5	—	4.5	ns
146	First CKOUT transition to Data-Out Invalid ³	0	—	0	—	0	—	ns
147	Data-In Valid to second CKOUT transition (Setup)	3.4	—	3.4	—	3.4	—	ns
148	Second CKOUT transition to Data-In Invalid (Hold)	0	—	0	—	0	—	ns
149	First CKOUT transition to Address Invalid ³	0	—	0	—	0	—	ns

Notes:

1. AC timing specifications which are referenced to a device input signal are measured in production with respect to the 50% point of the respective input signal's transition.
2. WS are wait state values specified in the BCR.
3. First CKOUT transition to data-out invalid (specification # T146) and first CKOUT transition to address invalid (specification # T149) indicate the time after which data/address are no longer guaranteed to be valid.
4. Timings are given from CKOUT midpoint to V_{OL} or V_{OH} of the corresponding pin(s).
5. First CKOUT transition is a falling edge of CKOUT for CKP = 0.

1. Zadaci se rade **isključivo** na ovom formularu.
2. Dozvoljeno je korišćenje materijala pod nazivom „Kratak opis instrukcijskog seta“.

Broj indeksa	Ime i prezime	Poeni po tačkama			Ukupno
		<i>a</i>	<i>b</i>	<i>c</i>	

Dat je *dissassembly* dela koda napisanog u assembleru za RISC-V arhitekturu:

```
0x00000000: addi x1, x0, 32
0x00000004: addi x2, x0, 36
0x00000008: lbu x3, 0(x1)
0x0000000C: beq x3, x0, 16
0x00000010: sb x3, 0(x2)
0x00000014: addi x1, x1, 1
0x00000018: jal x1, -16
0x0000001C: jal x0, 0
```

Dissassembly 1

- a) [30]** Predstaviti sadržaje internih registara procesora (registara opšte namene i PC registra) i dela memorije u opsegu od 0x00-0x22 nakon izvršenja svake instrukcije assemblyskog koda.
- b) [15]** Prateći opis RISC-V instrukcijskog seta, odrediti mašinski kod datog koda napisanog u RISC-V assembleru.
- c) [5]** Predstaviti sadržaj dela memorije koji pripada opsegu adresa 0x00-0x22 nakon izvršenja koda. Kolika je veličina koda definisanog sa *Dissassembly 1*?

Napomena: *Smatrati da su svi registri procesora nakon sistemskog reseta, inicijalizovani na vrednost 0 i da je deo memorije, koji ne pripada kodu definisanom sa Dissassembly 1, takođe inicijalizovan na vrednost 0.*

- a) Pregled rezultata izvršavanja svake od instrukcija koda definisanog sa *Dissassembly 1*:

b) Mašinski kod dela koda definisanog sa *Dissassembly 1*

Instrukcija	Mašinski kod	
	<i>binarni zapis</i>	<i>hex zapis</i>

c) Sadržaj memorije:

Adresa	Sadržaj(hex)			
0x00000000				
0x00000004				
0x00000008				
0x0000000C				
0x00000010				
0x00000014				
0x00000018				
0x0000001C				
0x00000020				
0x00000024				